

#2

Attorney Docket No. 1448.1017

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Hiroyuki UTSUMI, et al.

Application No.:

Group Art Unit:

Filed: November 6, 2001

Examiner:

For: PROCESSOR AND RESET CONTROL METHOD FOR THE PROCESSOR

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No. 2001-129781


Filed: April 26, 2001

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: November 6, 2001

By: 
H. J. Staas
Registration No. 22,010

700 11th Street, N.W., Ste. 500
Washington, D.C. 20001
(202) 434-1500



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 4月26日

出 願 番 号

Application Number:

特願2001-129781

出 願 人

Applicant(s):

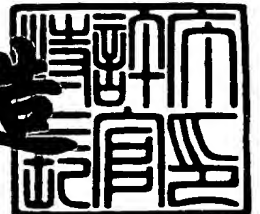
富士通株式会社



2001年 6月12日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3054808

【書類名】 特許願

【整理番号】 0041299

【提出日】 平成13年 4月26日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 1/24

【発明の名称】 プロセッサおよびそのリセット制御方法

【請求項の数】 7

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 内海 祐之

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 佐藤 泰造

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100104190

 【弁理士】

 【氏名又は名称】 酒井 昭徳

【手数料の表示】

 【予納台帳番号】 041759

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

特 2 0 0 1 - 1 2 9 7 8 1

【包括委任状番号】 9906241

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プロセッサおよびそのリセット制御方法

【特許請求の範囲】

【請求項 1】 第 1 のリセット信号の入力に基づいて初期設定される第 1 の初期設定領域と、

前記第 1 のリセット信号の入力に基づいて初期設定されるとともに、前記第 1 のリセット信号とは異なる第 2 のリセット信号の入力に基づいて初期設定される、前記第 1 の初期設定領域と異なる領域の第 2 の初期設定領域と、

前記第 1 のリセット信号の入力によってクリアされ、かつ前記第 1 の初期設定領域の初期設定処理の完了によってセットされる第 1 のフラグと、

前記第 1 のリセット信号または前記第 2 のリセット信号のいずれかの入力によってクリアされ、かつ前記第 2 の初期設定領域の初期設定処理の完了によってセットされる第 2 のフラグと、

を具備し、

前記第 1 または第 2 のリセット信号のうちのいずれかのリセット信号が入力されたときに、前記第 1 および第 2 の初期設定領域のうち、クリアされているフラグに対応する初期設定領域に対して初期設定処理をおこなうことを特徴とするプロセッサ。

【請求項 2】 前記第 1 のリセット信号の入力に基づいて初期設定され、かつ前記第 2 のリセット信号の入力に基づいて初期設定されるとともに、前記第 1 のリセット信号および前記第 2 のリセット信号のいずれとも異なる第 3 のリセット信号の入力に基づいて初期設定される、前記第 1 の初期設定領域および前記第 2 の初期設定領域のいずれとも異なる領域の第 3 の初期設定領域と、

前記第 1 のリセット信号、前記第 2 のリセット信号または前記第 3 のリセット信号のいずれかの入力によってクリアされ、かつ前記第 3 の初期設定領域の初期設定処理の完了によってセットされる第 3 のフラグと、

をさらに具備し、

前記第 1 乃至第 3 のリセット信号のうちのいずれかのリセット信号が入力されたときに、前記第 1 乃至第 3 の初期設定領域のうち、クリアされているフラグに

対応する初期設定領域に対して初期設定処理をおこなうことを特徴とする請求項 1 に記載のプロセッサ。

【請求項 3】 前記第 1 の初期設定領域は、プロセッサとプロセッサの外部とのコミュニケーションをおこなうための第 1 のレジスタ群であり、

前記第 3 の初期設定領域は、プロセッサの内部の命令の実行に関する第 2 のレジスタ群であり、

前記第 2 の初期設定領域は、前記第 1 のレジスタ群と前記第 2 のレジスタ群の両方を除く領域であることを特徴とする請求項 2 に記載のプロセッサ。

【請求項 4】 4 以上の整数のそれぞれよりなる n に対して、前記第 1 乃至第 $(n - 1)$ の各リセット信号の入力に基づいて初期設定されるとともに、前記第 1 乃至第 $(n - 1)$ の各リセット信号のいずれとも異なる第 n のリセット信号の入力に基づいて初期設定される、前記第 1 乃至第 $(n - 1)$ の各初期設定領域のいずれとも異なる領域の第 n の初期設定領域と、

前記第 1 乃至第 n の各リセット信号のいずれかの入力によってクリアされ、かつ前記第 n の初期設定領域の初期設定処理の完了によってセットされる第 n のフラグと、

をさらに具備し、

前記第 1 乃至第 n の各リセット信号のうちのいずれかのリセット信号が入力されたときに、前記第 1 乃至第 n の初期設定領域のうち、クリアされているフラグに対応する初期設定領域に対して初期設定処理をおこなうことを特徴とする請求項 2 に記載のプロセッサ。

【請求項 5】 前記各リセット信号を外部から受け取る外部入力端子を有することを特徴とする請求項 1 乃至 4 のいずれか一つに記載のプロセッサ。

【請求項 6】 前記各リセット信号はプロセッサ内部で生成されることを特徴とする請求項 1 乃至 4 のいずれか一つに記載のプロセッサ。

【請求項 7】 上記請求項 1 乃至 6 のいずれか一つに記載のプロセッサのリセット処理を制御するリセット制御方法であって、

前記各リセット信号の種類に対応するフラグをクリアする工程と、

前記各フラグの状態を確認し、クリアされているフラグに対応する初期設定領

域に対して初期設定処理をおこない、その初期設定処理の完了後に、対応するフラグをセットする処理を、すべてのフラグがセットされた状態になるまで繰り返しおこなう工程と、

を含むことを特徴とするプロセッサのリセット制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プロセッサおよびそのリセット制御方法に関し、特に携帯端末、携帯電話またはデジタルカメラなどに使用されるプロセッサに適用して好適な技術に関する。

【0002】

【従来の技術】

一般に、プロセッサの中には、リセット信号によりリセット割り込みを発生し、システムの初期化プログラムを実行することにより、プロセッサおよびそのプロセッサにより構成されるシステムの状態を適切に設定する機構を備えたものがある。

【0003】

上述した機構を備えたプロセッサでは、電源投入やリセットボタンの押下などに起因して外部からリセット信号が入力されると、まずプロセッサ内部の記憶素子を初期化する起動リセット動作が実行される。つづいて、プロセッサの内部でリセット割り込みが発生し、リセットベクタと呼ばれる初期化処理用のプログラムが、プロセッサの外部にバスを介して接続されたROM（リード・オンリー・メモリ）から読み込まれる。この初期化処理用のプログラムの実行によって、プロセッサ内部あるいはシステム上に存在する各デバイスの各設定用レジスタが設定される。このようにして、種々のアプリケーションプログラムを実行可能な状態に環境が整えられる。

【0004】

ところで、プロセッサの低消費電力化を図るため、一定時間の間、何らかの必要とされる処理がプロセッサに発行されない場合に、プロセッサに供給するクロ

ックを停止させる機能がある。このような機能を有するプロセッサでは、クロック停止後にプロセッサの動作を回復させるため、リセット信号を再度入力するようになっているのが一般的である。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、ROMは低速なメモリデバイスであるため、クロックの停止等によるプロセッサの停止状態からプロセッサを再起動させてすべての初期設定処理を終えるまでに時間がかかるという問題点がある。特に、頻繁にプロセッサの停止とリセット信号による再起動がおこなわれるシステムでは、再起動時にROMへのアクセスが毎回実行されることによるシステムの起動待ち時間が増大するという問題点がある。

【 0 0 0 6 】

本発明は、上記問題点に鑑みてなされたものであって、停止状態からの再起動が高速におこなえるプロセッサを提供することを目的とする。また、本発明の他の目的は、停止状態からプロセッサを高速に再起動させることができるリセット制御方法を提供することである。

【 0 0 0 7 】

【課題を解決するための手段】

リセット信号によって初期設定される領域を、たとえばプロセッサとプロセッサの外部とのコミュニケーションをおこなうために必須となるレジスタ群よりなる第1の初期設定領域と、第1の初期設定領域のレジスタ群およびプロセッサの内部の命令の実行に関するレジスタ群の両方を除く第2の初期設定領域と、プロセッサの内部の命令の実行に関するレジスタ群よりなる第3の初期設定領域とに分ける。第1の初期設定領域は、第1のリセット信号に基づいて初期設定される領域とする。第2の初期設定領域は、第1のリセット信号と第2のリセット信号のどちらかに基づいて初期設定される領域とする。第3の初期設定領域は、第1のリセット信号、第2のリセット信号、第3のリセット信号のどれか一つに基づいて初期設定される領域とする。

【 0 0 0 8 】

そして、第 1、第 2 および第 3 の各初期設定領域にそれぞれ対応する第 1、第 2 および第 3 のフラグをさらに設ける。第 1 のリセット信号によってすべてのフラグがクリアとなる。第 2 のリセット信号によって第 1 のフラグを除く残りのフラグがクリアされる。第 3 のリセット信号によって第 3 のフラグのみがクリアとなる。第 1 のフラグは、第 1 の初期設定領域の初期設定処理が完了すると、セットされる。第 2 のフラグおよび第 3 のフラグは、それぞれ第 2 の初期設定領域および第 3 の初期設定領域の初期設定処理が完了すると、セットされる。

【 0 0 0 9 】

この発明によれば、第 1 のリセット信号によってプロセッサ全体が初期設定されるが、第 2 のリセット信号によつては、プロセッサとプロセッサの外部とのコミュニケーションをおこなうために必須となるレジスタ群を除く領域が初期設定される。また、第 3 のリセット信号によつては、プロセッサの内部の命令の実行に関するレジスタ群のみが初期設定される。

【 0 0 1 0 】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。図 1 は、本発明の実施の形態にかかるプロセッサの要部の構成を示すブロック図である。このプロセッサ 1 は、命令フェッチ制御部 1 1、命令実行部 1 2、キャッシュメモリおよびキャッシュ制御部よりなるキャッシュユニット 1 3、バス制御部 1 4、クロック制御部 1 5、第 1 のレジスタ群 1 6、リセットレジスタ (R S T R) 2 および設定完了表示レジスタ (R S T C R) 3 を備えている。

【 0 0 1 1 】

命令フェッチ制御部 1 1、命令実行部 1 2 およびキャッシュユニット 1 3 には、それぞれ 1 または 2 以上のレジスタよりなる第 2、第 3 および第 4 のレジスタ群 4 1, 4 2, 4 3 が設けられている。キャッシュユニット 1 3 内の第 4 のレジスタ群 4 3 には、たとえば論理アドレスを物理アドレスに変換するためのレジスタ対 (L P F R および P P F R) 4 4 が設けられている。

【 0 0 1 2 】

また、バス制御部 1 4 には、プロセッサ 1 に対してローカルメモリとなる R A

M5のアドレス範囲の開始アドレスおよび比較禁止ビットを設定するレジスタ対（ASRおよびAMR）45が設けられている。プロセッサ1は、バス制御部14により制御されるデータバスおよびアドレスバスを介して図示しないROMに接続される。なお、図1においては、本発明に関係のない構成については図示省略されている。

【0013】

この実施の形態では、第1のレジスタ群16と、ASRおよびAMRで表される、RAM5（ローカルメモリ）に対するアドレス設定レジスタ45は、第1のリセット信号であるPRST信号が発生した場合に初期設定処理の対象となる。バス制御部14に設けられた他のレジスタは、PRST信号または第2のリセット信号であるHRST信号が発生した場合に初期設定処理の対象となる。第2、第3および第4のレジスタ群41、42、43は、PRST信号、HRST信号または第3のリセット信号であるSRST信号が発生した場合に初期設定処理の対象となる。

【0014】

つまり、PRST信号が発生すると、第1のレジスタ群16、ASRおよびAMRで表されるアドレス設定レジスタ45、バス制御部14に設けられたレジスタのうち、ASRおよびAMRで表されるアドレス設定レジスタ45を除くレジスタ、第2、第3および第4のレジスタ群41、42、43が初期設定処理の対象となる。HRST信号が発生すると、バス制御部14に設けられたレジスタのうち、ASRおよびAMRで表されるアドレス設定レジスタ45を除くレジスタ、第2、第3および第4のレジスタ群41、42、43が初期設定処理の対象となる。

【0015】

また、HRST信号の発生により、クロック制御部15内の、プロセッサ内部へのクロックの供給を停止させているレジスタ（図示せず）がリセットされる。それによって、クロック制御部15は、外部から供給されたクロックの、プロセッサ各部への供給を再開する。SRST信号が発生すると、第2、第3および第4のレジスタ群41、42、43が初期設定処理の対象となる。

【 0 0 1 6 】

したがって、この実施の形態では、第 1 のレジスタ群 1 6 と、A S R および A M R で表されるアドレス設定レジスタ 4 5 は、第 1 の初期設定領域に相当する。また、バス制御部 1 4 に設けられたレジスタのうち、A S R および A M R で表されるアドレス設定レジスタ 4 5 を除くレジスタは、第 2 の初期設定領域に相当する。

【 0 0 1 7 】

また、第 2、第 3 および第 4 のレジスタ群 4 1, 4 2, 4 3 は第 3 の初期設定領域に相当する。図 1 において、符号 1 7 は、外部から P R S T 信号が入力される端子（P R S T 端子）であり、符号 1 8 は、外部から H R S T 信号が入力される端子（H R S T 端子）であり、符号 1 9 は、外部から S R S T 信号が入力される端子（S R S T 端子）である。また、符号 1 0 は、外部からクロックが入力される端子（C L O C K 端子）である。

【 0 0 1 8 】

図 2 は、第 1 の初期設定領域に含まれるレジスタの一例を示す図表である。この一覧表において、A R S 0 ～ A R S 3 は D R A M のアドレス領域設定レジスタである。A M K 0 ～ A M K 3 は D R A M のアドレスマスクレジスタである。D C T L は、D R A M 品種ごとに異なる D R A M のオペレーション間の最小サイクル数の設定をおこなう D R A M コントロールレジスタである。D A M C は、D R A M に対するアクセスのモードを選択するための D R A M アクセスモード制御レジスタである。

【 0 0 1 9 】

D C F G は、D R A M タイプ、D R A M バスのバス幅、D R A M 直結 / D I M M 使用などの表示および設定をおこなう D R A M コンフィギュレーションレジスタである。D A N は、4 本の D C S に接続する D R A M の R A S アドレスビット数、C A S アドレスビット数、およびバンクアドレスビット数を設定するための D R A M アドレスナンバレジスタである。

【 0 0 2 0 】

D S T S は、S D R A M コントローラの状態を表す D R A M ステータスレジス

タである。DRCNは、SDRAMのリフレッシュとして、オートリフレッシュおよびセルフリフレッシュをサポートするDRAMリフレッシュコントロールレジスタである。DARTは、オートリフレッシュ時のリフレッシュ間隔を規定するためのDRAMオートリフレッシュタイマレジスタである。その他、図2の表には記載されていないが、第1のレジスタ群16には、DRAMのメモリ領域のアドレス範囲を設定するためのDRAMアドレス領域設定レジスタ(DARS)、およびDRAMのアドレス範囲を設定するためのDRAMアドレスマスクレジスタ(DAMK)などが含まれる。ここでは、DRAMはプロセッサ1のローカルなメモリであるRAM5である。

【0021】

図3は、リセットレジスタ2の構成を示す概略図である。リセットレジスタ2はHSビット21とSSビット22を有する。HSビット21に書き込みをおこなうことによって、HRST端子18から入力されるリセット信号であるHRST信号と同等の信号がプロセッサ1の内部でアサートされる。また、SSビット22に書き込みをおこなうことによって、SRST端子19から入力されるリセット信号であるSRST信号と同等の信号がプロセッサ1の内部でアサートされる。

【0022】

図4は、プロセッサ1の初期化制御部の構成を示す回路図である。なお、この初期化制御部は図1では省略されている。PRST端子17を介して外部から入力されたPRST信号はそのままプロセッサ1内に供給される。

【0023】

HRST端子18を介して外部から入力されたHRST信号（以下、外部HRST信号とする）は、オア回路61の一方の入力端子に入力される。また、リセットレジスタ2のHSビット21への書き込み信号はフリップフロップ62に入力され、このフリップフロップ62の出力信号がオア回路61のもう一方の入力端子に入力される。すなわち、外部HRST信号の入力またはHSビット21への書き込みによって、HRST信号またはそれと同等の信号（以下、内部HRST信号とする）がアサートされる。HSビット21への書き込み信号は複数のフ

リップフロップ 6 3, 6 4, 6 5, . . . からなるシフトレジスタに供給される。

【 0 0 2 4 】

このシフトレジスタを構成する複数のフリップフロップ 6 3, 6 4, 6 5, . . . の各出力信号はノア回路 6 6 に入力される。ノア回路 6 6 の出力信号は、H S ビット 2 1 への書き込み信号が入力されるフリップフロップ 6 2 のイネーブル端子 (E N) に入力される。これによって、H S ビット 2 1 への書き込み信号がシフトレジスタにおいてシフトされている間は、内部 H R S T 信号が発生し続けることになる。

【 0 0 2 5 】

S R S T 端子 1 9 を介して外部から入力された S R S T 信号 (以下、外部 S R S T 信号とする)、およびリセットレジスタ 2 の S S ビット 2 2 への書き込みによって発生する、外部 S R S T 信号と同等の信号 (以下、内部 S R S T 信号とする) についても同様である。すなわち、S S ビット 2 2 への書き込み信号は複数のフリップフロップ 7 3, 7 4, 7 5, . . . からなるシフトレジスタに供給される。このシフトレジスタの各段の出力信号は、ノア回路 7 6 を介して、S S ビット 2 2 への書き込み信号が入力されるフリップフロップ 7 2 のイネーブル端子 (E N) に供給される。それによって、シフトレジスタにおいて S S ビット 2 2 への書き込み信号のシフトが終了するまで、内部 S R S T 信号が発生し続ける。この内部 S R S T 信号および外部 S R S T 信号はオア回路 7 1 に入力され、アサートされる。

【 0 0 2 6 】

図 5 は、設定完了表示レジスタ 3 の構成を示す概略図である。設定完了表示レジスタ 3 は P C ビット 3 1 と H C ビット 3 2 と S C ビット 3 3 を有する。P C ビット 3 1 は第 1 のフラグを格納する。第 1 のフラグは、第 1 の初期設定領域の初期設定処理が済んでいるか否かを表す。H C ビット 3 2 は第 2 のフラグを格納する。第 2 のフラグは、第 2 の初期設定領域の初期設定処理が済んでいるか否かを表す。S C ビット 3 3 は第 3 のフラグを格納する。第 3 のフラグは、第 3 の初期設定領域の初期設定処理が済んでいるか否かを表す。

【 0 0 2 7 】

図 6 は、設定完了表示レジスタ 3 の要部の構成を示す回路図である。設定完了表示レジスタ 3 は、PC ビット 3 1、HC ビット 3 2 および SC ビット 3 3 にそれぞれ対応するフリップフロップ 8 1、8 2、8 3 を有する。PC ビット 3 1 のフリップフロップ 8 1 のリセット端子には PRST 信号が入力される。フリップフロップ 8 1 の入力端子には、第 1 の初期設定領域の初期設定処理の完了によって発生する信号、すなわち PC ビット 3 1 の第 1 のフラグをセットするための信号（以下、PC セット信号とする）がオア回路 8 4 を介して入力される。このオア回路 8 4 には、フリップフロップ 8 1 の出力信号も入力される。つまり、PC ビット 3 1 は、PRST 信号がアサートされるとリセットされ、PC セット信号が入力されると、つぎに PRST 信号がアサートされるまでフラグをセットした状態を保持する。

【 0 0 2 8 】

HC ビット 3 2 のフリップフロップ 8 2 のリセット端子には、PRST 信号、および内部もしくは外部の HRST 信号を入力とするオア回路 8 5 の出力信号が入力される。フリップフロップ 8 2 の入力端子には、第 2 の初期設定領域の初期設定処理の完了によって発生する信号、すなわち HC ビット 3 2 の第 2 のフラグをセットするための信号（以下、HC セット信号とする）がオア回路 8 6 を介して入力される。このオア回路 8 6 には、フリップフロップ 8 2 の出力信号も入力される。したがって、HC ビット 3 2 は、PRST 信号、または内部もしくは外部の HRST 信号がアサートされるとリセットされ、HC セット信号が入力されると、つぎに PRST 信号、または内部もしくは外部の HRST 信号がアサートされるまでフラグをセットした状態を保持する。

【 0 0 2 9 】

SC ビット 3 3 のフリップフロップ 8 3 のリセット端子には、PRST 信号、内部もしくは外部の HRST 信号、および内部もしくは外部の SRST 信号を入力とするオア回路 8 7 の出力信号が入力される。フリップフロップ 8 3 の入力端子には、第 3 の初期設定領域の初期設定処理の完了によって発生する信号、すなわち SC ビット 3 3 の第 3 のフラグをセットするための信号（以下、SC セット

信号とする) がオア回路 8 8 を介して入力される。このオア回路 8 8 には、フリップフロップ 8 3 の出力信号も入力される。したがって、SC ビット 3 3 は、PRST 信号、内部もしくは外部のHRST 信号、または内部もしくは外部のSRST 信号がアサートされるとリセットされる。

【 0 0 3 0 】

そして、SC ビット 3 3 は、SC セット信号が入力されると、つぎにPRST 信号、内部もしくは外部のHRST 信号、または内部もしくは外部のSRST 信号がアサートされるまでフラグをセットした状態を保持する。なお、プロセッサ 1 のハードウェアが自動的に初期化シーケンスを発生させる機構を有している場合には、PC ビット 3 1、HC ビット 3 2 および SC ビット 3 3 は、その設定シーケンスの完了をもって自動的にセットされる。そして、PC ビット 3 1、HC ビット 3 2 および SC ビット 3 3 は、対応するシーケンサ部分の初期化をおこなうリセット信号によりリセットされる。

【 0 0 3 1 】

図 7 および図 8 は、プロセッサ 1 に対してローカルなメモリである RAM 5 のアドレス範囲の開始アドレスおよび比較禁止ビットを設定するレジスタ対 (ASR および AMR) 4 5 の、それぞれ開始アドレスを設定するレジスタ (ASR) 4 6 および比較禁止ビットを設定するレジスタ (AMR) 4 7 の構成を示す概略図である。また、図 9 は、開始アドレスを設定するレジスタ (ASR) 4 6 および比較禁止ビットを設定するレジスタ (AMR) 4 7 に基づいて RAM 5 にアサインされる番地の概略を示すメモリマップ図である。開始アドレスを設定するレジスタ (ASR) 4 6 により設定されるアドレスのうち、比較禁止ビットを設定するレジスタ (AMR) 4 7 によりマスクされない上位ビットで表されるアドレスが RAM 5 の領域のアドレスとなる。

【 0 0 3 2 】

つぎに、上述したプロセッサ 1 の起動シーケンスの実施例について説明する。まず、電源投入時に PRST 信号がアサートされた場合の初期化シーケンスについて図 1 0 に示すフローチャートを参照しながら説明する。図 1 0 のフローチャートにおいて、まず、PRST 信号がアサートされると (ステップ S 1 0 0 1)

、設定完了表示レジスタ (RSTCR) 3 の PC ビット 31、HC ビット 32 および SC ビット 33 がたとえば「0」にリセットされる (ステップ S1002)。その後、PRST 信号がネゲートされると (ステップ S1003)、たとえば「0xFF00_0000」の初期アドレスからの命令フェッチ要求が発行される。ここで、電源投入直後は RAM5 に有効なデータが保持されていないため、プロセッサ 1 は外部バス上の ROM にアクセスする。

【0033】

この ROM に格納されている初期化プログラムは PC ビット 31 の値を参照し (ステップ S1004)、その値がたとえば「0」であることを認識する (ステップ S1004: Yes)。それによって、PRST 信号がアサートされた場合に必要な処理を含むルーチンが実行される。プロセッサ 1 が起動した後、RAM5 をアクセスするためのアドレス情報が、たとえばアドレス範囲の開始アドレスを設定するレジスタ (ASR) 46 およびアドレス範囲の比較禁止ビットを設定するレジスタ (AMR) 47 に設定される。

【0034】

たとえば、開始アドレスを設定するレジスタ (ASR) 46 に「0x0000_0000」が設定され、比較禁止ビットを設定するレジスタ (AMR) 47 に「0x01FF_FFFF」が設定されることによって、「0x0000_0000」番地から「0x01FF_FFFF」番地までが RAM5 にアサインされる。また、第 1 のレジスタ群 16 も設定され、第 1 の初期設定領域に含まれるレジスタのセットが完了する (ステップ S1005)。この時点で初期化プログラムは PC ビット 31 に書き込みをおこない、このビットをたとえば「1」にセットする (ステップ S1006)。

【0035】

しかる後、初期化プログラムは HC ビット 32 の値を参照する (ステップ S1007)。ここでは、ステップ S1002 で HC ビット 32 をリセットしているため、当然のことながら HC ビット 32 の値は「0」である (ステップ S1007: Yes)。したがって、外部または内部の HRST 信号がアサートされた場合に必要な処理を含むルーチンが実行され、第 2 の初期設定領域に含まれるレジ

スタのセットが完了する（ステップ S 1 0 0 8）。そして、初期化プログラムは HC ビット 3 2 に書き込みをおこない、このビットをたとえば「1」にセットする（ステップ S 1 0 0 9）。

【 0 0 3 6 】

つづいて、初期化プログラムは SC ビット 3 3 の値を参照する（ステップ S 1 0 1 0）。HC ビット 3 2 と同様に、ここでも当然のことながら SC ビット 3 3 の値は「0」である（ステップ S 1 0 1 0 : Y e s）。したがって、外部または内部の S R S T 信号がアサートされた場合に必要な処理を含むルーチンが実行され、第 3 の初期設定領域に含まれるレジスタのセットが完了する（ステップ S 1 0 1 1）。そして、初期化プログラムは SC ビット 3 3 に書き込みをおこない、このビットをたとえば「1」にセットする（ステップ S 1 0 1 2）。以上の処理によって、アプリケーションを開始する準備が完了する（ステップ S 1 0 1 3）。

【 0 0 3 7 】

つぎに、プロセッサ 1 の起動後、一定時間必要とされる処理がプロセッサ 1 に発行されなかったことを契機としてプロセッサ 1 が自らクロック制御部 1 5 に対してすべてのクロックを停止させた状態において、必要性が発生した時点で外部 H R S T 信号により再起動がおこなわれる場合の再起動シーケンスについて図 1 1 に示すフローチャートを参照しながら説明する。図 1 1 のフローチャートにおいて、まず外部より H R S T 信号がアサートされる（ステップ S 1 1 0 1）。

【 0 0 3 8 】

それによって、クロック制御部 1 5 でクロックを停止させているレジスタがリセットされ、プロセッサ 1 の内部へのクロックの供給が開始される。また、設定完了表示レジスタ（R S T C R）3 の HC ビット 3 2 および SC ビット 3 3 がたとえば「0」にリセットされる（ステップ S 1 1 0 2）。その際、PC ビット 3 1 に対するリセット動作はおこなわれない。したがって、RAM 5 には有効なデータが保持されたままである。

【 0 0 3 9 】

つぎに、外部 H R S T 信号がネゲートされると（ステップ S 1 1 0 3）、R A

M5に格納されている初期化プログラムはPCビット31の値を参照する（ステップS1104）。PCビット31の値が「1」であれば（ステップS1104：No）、第1の初期設定領域に含まれるレジスタはすべてセットされた状態であるため、第1の初期設定領域に対する初期設定処理（ステップS1105、ステップS1106）は省略される。

【0040】

そして、初期化プログラムはHCビット32の値を参照する（ステップS1107）。ここでは、HCビット32の値は当然のことながら「0」であるため（ステップS1107：Yes）、第2の初期設定領域に含まれるレジスタがセットされ（ステップS1108）、HCビット32の値が「1」にセットされる（ステップS1109）。

【0041】

つづいて、初期化プログラムはSCビット33の値を参照する（ステップS1110）が、SCビット33の値も当然のことながら「0」であるため（ステップS1110：Yes）、第3の初期設定領域に含まれるレジスタがセットされ（ステップS1111）、その後にSCビット33の値が「1」にセットされる（ステップS1112）。以上の処理によって、アプリケーションを開始する準備が完了する（ステップS1113）。なお、図11に示す再起動シーケンスは、内部HRST信号がアサートされた場合も同様である。

【0042】

ここで、ステップS1102において設定完了表示レジスタ（RSTCR）3のPCビット31をリセットしていないにもかかわらず、ステップS1104においてPCビット31の値を参照する理由は、たとえばPRST信号のアサートによって図10に示す初期化シーケンスの実行中で、第1の初期設定領域の初期設定処理が完了していないときに、外部HRST信号または内部HRST信号がアサートされた場合に、第1の初期設定領域の初期設定処理を完了させる必要があるからである。これは、本実施の形態のプロセッサ1が設定完了表示レジスタ（RSTCR）3を備えており、このレジスタを参照すれば各初期設定領域の初期設定処理が完了しているか否かを知ることができる構成となっていることによ

り実現される。

【 0 0 4 3 】

したがって、設定完了表示レジスタ（RSTCR）3を設けずに、複数のリセット信号と各リセット信号に対応する複数の初期設定領域を設け、アサートされたリセット信号に対応する領域の初期設定処理をおこなう構成とした場合には、PRST信号のアサートによる初期化シーケンスの実行中に外部HRST信号または内部HRST信号がアサートされると、第1の初期設定領域の初期設定が完全におこなわれないうまま、第2および第3の初期設定領域の初期設定処理が完了してしまう場合がある。つまりプロセッサ1が完全な起動状態にならないという不具合が発生してしまう。

【 0 0 4 4 】

このような不具合の発生を防ぐために、ステップS1104でPCビット31の値を参照する。そして、その値がリセットされた値であれば、第1の初期設定領域の初期設定処理をおこなう（ステップS1105）。その後、PCビット31の値をセットし（ステップS1106）、ステップS1107へ進む。

【 0 0 4 5 】

つぎに、外部SRST信号または内部SRST信号による起動処理シーケンスについて図12に示すフローチャートを参照しながら説明する。図12のフローチャートにおいて、まず外部または内部のSRST信号がアサートされると（ステップS1201）、命令フェッチ制御部11、命令実行部12およびキャッシュユニット13内のすべてのレジスタが初期化される。また、設定完了表示レジスタ（RSTCR）3のSCビット33がたとえば「0」にリセットされる（ステップS1202）。その際、PCビット31とHCビット32に対するリセット動作はおこなわれない。

【 0 0 4 6 】

内部または外部のSRST信号がネゲートされると（ステップS1203）、「0xFF00__0000」の初期アドレスからの命令フェッチ要求が発行される。RAM5に格納されている初期化プログラムはPCビット31の値を参照し（ステップS1204）、その値が「1」であれば（ステップS1204：No

）、第1の初期設定領域に含まれるレジスタはすべてセットされた状態であるため、第1の初期設定領域に対する初期設定処理（ステップS1205、ステップS1206）は省略される。

【0047】

そして、初期化プログラムはHCビット32の値を参照し（ステップS1207）、その値が「1」であれば（ステップS1207：No）、第2の初期設定領域に含まれるレジスタはすべてセットされた状態であるため、第2の初期設定領域に対する初期設定処理（ステップS1208、ステップS1209）が省略される。

【0048】

つづいて、初期化プログラムはSCビット33の値を参照する（ステップS1210）が、SCビット33の値は当然のことながら「0」である（ステップS1210：Yes）。したがって、第3の初期設定領域に含まれるレジスタがセットされ（ステップS1211）、その後にSCビット33の値が「1」にセットされる（ステップS1212）。以上の処理によって、アプリケーションを開始する準備が完了する（ステップS1213）。

【0049】

ここで、ステップS1202において設定完了表示レジスタ（RSTCR）3のPCビット31とHCビット32をリセットしていないにもかかわらず、ステップS1204においてPCビット31の値を参照し、またステップS1207においてHCビット32の値を参照する理由は、上述したPRST信号による初期化シーケンスの実行中に外部HRST信号または内部HRST信号がアサートされた場合に発生する不具合を防ぐのと同じ理由である。

【0050】

したがって、ステップS1204でPCビット31の値を参照した結果、その値がリセットされた値であれば（ステップS1204：Yes）、第1の初期設定領域の初期設定処理をおこない（ステップS1205）、PCビット31の値をセットした後（ステップS1206）、ステップS1207へ進む。また、ステップS1207でHCビット32の値を参照し、その値がリセットされた値で

あれば（ステップ S 1 2 0 7 : Y e s）、第 2 の初期設定領域の初期設定処理をおこない（ステップ S 1 2 0 8）、H C ビット 3 2 の値をセットした後（ステップ S 1 2 0 9）、ステップ S 1 2 1 0 へ進む。

【 0 0 5 1 】

上述した実施の形態によれば、P R S T 信号によって第 1 の初期設定領域、第 2 の初期設定領域および第 3 の初期設定領域が初期設定され、外部 H R S T 信号または内部 H R S T 信号によって第 2 の初期設定領域および第 3 の初期設定領域が初期設定され、外部 S R S T 信号または内部 S R S T 信号によって第 3 の初期設定領域が初期設定されるので、第 2 のリセット信号が発生した場合には第 1 の初期設定領域の初期設定を省略することができ、また第 3 のリセット信号が発生した場合には第 1 の初期設定領域と第 2 の初期設定領域の初期設定を省略することができる。

【 0 0 5 2 】

したがって、外部 H R S T 信号もしくは内部 H R S T 信号、または外部 S R S T 信号もしくは内部 S R S T 信号が発生した場合に、停止状態からプロセッサを高速に復帰させることが可能となる。なお、上述した実施の形態では、説明を簡素化するため、一部のレジスタだけを挙げて説明したが、実際のプロセッサでは各初期設定領域に含まれるレジスタの数が非常に多いため、初期化範囲の差がより大きくなるので、停止状態から復帰が高速になる。

【 0 0 5 3 】

また、上述した実施の形態によれば、P C ビット 3 1 に格納された第 1 のフラグ、H C ビット 3 2 に格納された第 2 のフラグ、および S C ビット 3 3 に格納された第 3 のフラグを参照することによって、各初期設定領域の初期設定処理が完了したか否かを知ることができるので、P R S T 信号による初期化シーケンスの実行中にさらに別のリセット信号がアサートされた場合に、第 1 の初期設定領域の初期設定が完全におこなわれなまま、第 2 および第 3 の初期設定領域の初期設定処理が完了してしまうという不具合の発生を防ぐことができる。

【 0 0 5 4 】

以上において本発明は、上述した実施の形態に限らず、種々変更可能である。

たとえば、初期設定領域の数は3つに限らず、2つでもよいし、4つ以上でもよい。また、どの初期設定領域にどのレジスタが含まれるかということに関しても任意である。

【0055】

【発明の効果】

本発明によれば、たとえば第1のリセット信号によってプロセッサ全体が初期設定され、第2のリセット信号によっては、プロセッサとプロセッサの外部とのコミュニケーションをおこなうために必須となるレジスタ群を除く領域が初期設定され、第3のリセット信号によっては、プロセッサの内部の命令の実行に関するレジスタ群のみが初期設定されるので、第2のリセット信号が発生した場合には、プロセッサとプロセッサの外部とのコミュニケーションをおこなうために必須となるレジスタ群の初期設定を省略することができ、また第3のリセット信号が発生した場合には、プロセッサの内部の命令の実行に関するレジスタ群以外の領域の初期設定を省略することができる。したがって、第2または第3のリセット信号が発生した場合に、停止状態からプロセッサを高速に復帰させることが可能となる。

【図面の簡単な説明】

【図1】

本発明の実施の形態にかかるプロセッサの要部の構成を示すブロック図である。

【図2】

本発明の実施の形態にかかるプロセッサにおいてPRST信号により初期化され、かつHRST信号およびSRST信号によっては初期化されないレジスタの一例を示す図表である。

【図3】

本発明の実施の形態にかかるプロセッサのリセットレジスタの構成を示す概略図である。

【図4】

本発明の実施の形態にかかるプロセッサの初期化制御部の構成を示す回路図で

ある。

【図 5】

本発明の実施の形態にかかるプロセッサの設定完了表示レジスタの構成を示す概略図である。

【図 6】

本発明の実施の形態にかかるプロセッサの設定完了表示レジスタの要部の構成を示す回路図である。

【図 7】

本発明の実施の形態にかかるプロセッサに対してローカルなメモリの開始アドレスを設定するレジスタの構成を示す概略図である。

【図 8】

本発明の実施の形態にかかるプロセッサに対してローカルなメモリの比較禁止ビットを設定するレジスタの構成を示す概略図である。

【図 9】

本発明の実施の形態にかかるプロセッサに対してローカルなメモリにアサインされる番地について説明するためのメモリマップ図である。

【図 1 0】

本発明の実施の形態にかかるプロセッサにおいて P R S T 信号によって実行される初期化処理の一例を示すフローチャートである。

【図 1 1】

本発明の実施の形態にかかるプロセッサにおいて H R S T 信号によって実行される初期化処理の一例を示すフローチャートである。

【図 1 2】

本発明の実施の形態にかかるプロセッサにおいて S R S T 信号によって実行される初期化処理の一例を示すフローチャートである。

【符号の説明】

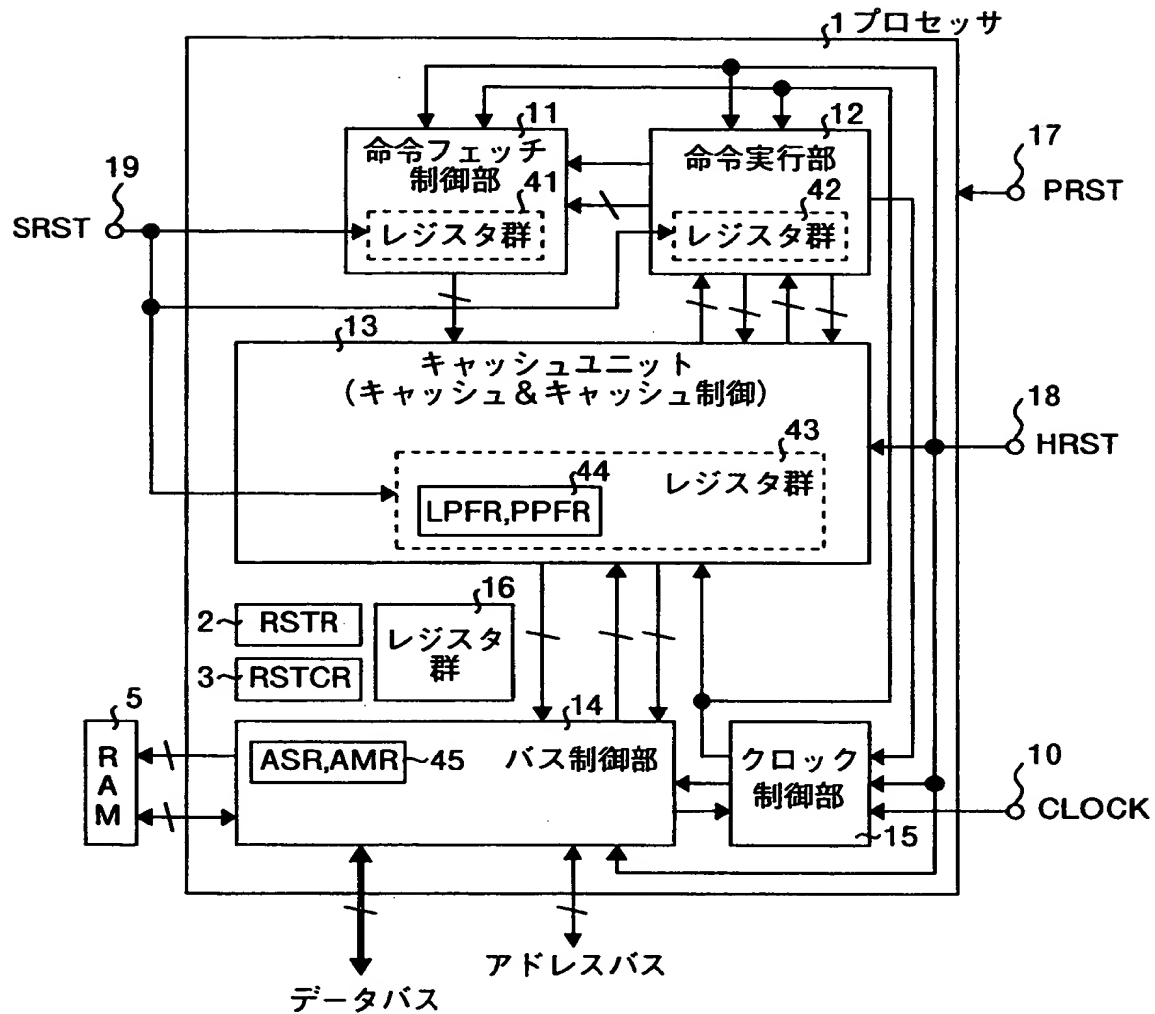
- 1 プロセッサ
- 1 6 第 1 のレジスタ群（第 1 の初期設定領域）
- 1 7 P R S T 端子（外部入力端子）

- 1 8 H R S T 端子（外部入力端子）
- 1 9 S R S T 端子（外部入力端子）
- 3 1 P C ビット（第 1 のフラグ）
- 3 2 H C ビット（第 2 のフラグ）
- 3 3 S C ビット（第 3 のフラグ）
- 4 1 第 2 のレジスタ群（第 3 の初期設定領域）
- 4 2 第 3 のレジスタ群（第 3 の初期設定領域）
- 4 3 第 4 のレジスタ群（第 3 の初期設定領域）
- 4 5 ローカルメモリのアドレス範囲の開始アドレスおよび比較禁止ビットを設定するレジスタ対（第 1 の初期設定領域）

【書類名】 図面

【図 1】

本発明の実施の形態にかかるプロセッサの
要部の構成を示すブロック図



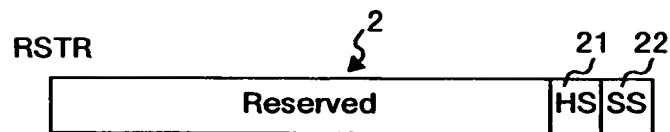
【図 2】

本発明の実施の形態にかかるプロセッサにおいて P R S T 信号により初期化され、かつ H R S T 信号および S R S T 信号によっては初期化されないレジスタの一例を示す図表

レジスタ略称	レジスタ名 (初期値)
ARS0	DRAMアドレス領域設定レジスタ 0
ARS1	DRAMアドレス領域設定レジスタ 1
ARS2	DRAMアドレス領域設定レジスタ 2
ARS3	DRAMアドレス領域設定レジスタ 3
AMK0	DRAMアドレスマスクレジスタ 0
AMK1	DRAMアドレスマスクレジスタ 1
AMK2	DRAMアドレスマスクレジスタ 2
AMK3	DRAMアドレスマスクレジスタ 3
DCTL	DRAMコントロールレジスタ
DAMC	DRAMアクセスモード制御レジスタ
DCFG	DRAMコンフィギュレーションレジスタ
DAN	DRAMアドレスナンバレジスタ
DSTS	DRAMステータスレジスタ
DRCN	DRAMリフレッシュコントロールレジスタ
DART	DRAMオートリフレッシュタイマレジスタ
RSTR	リセットレジスタ

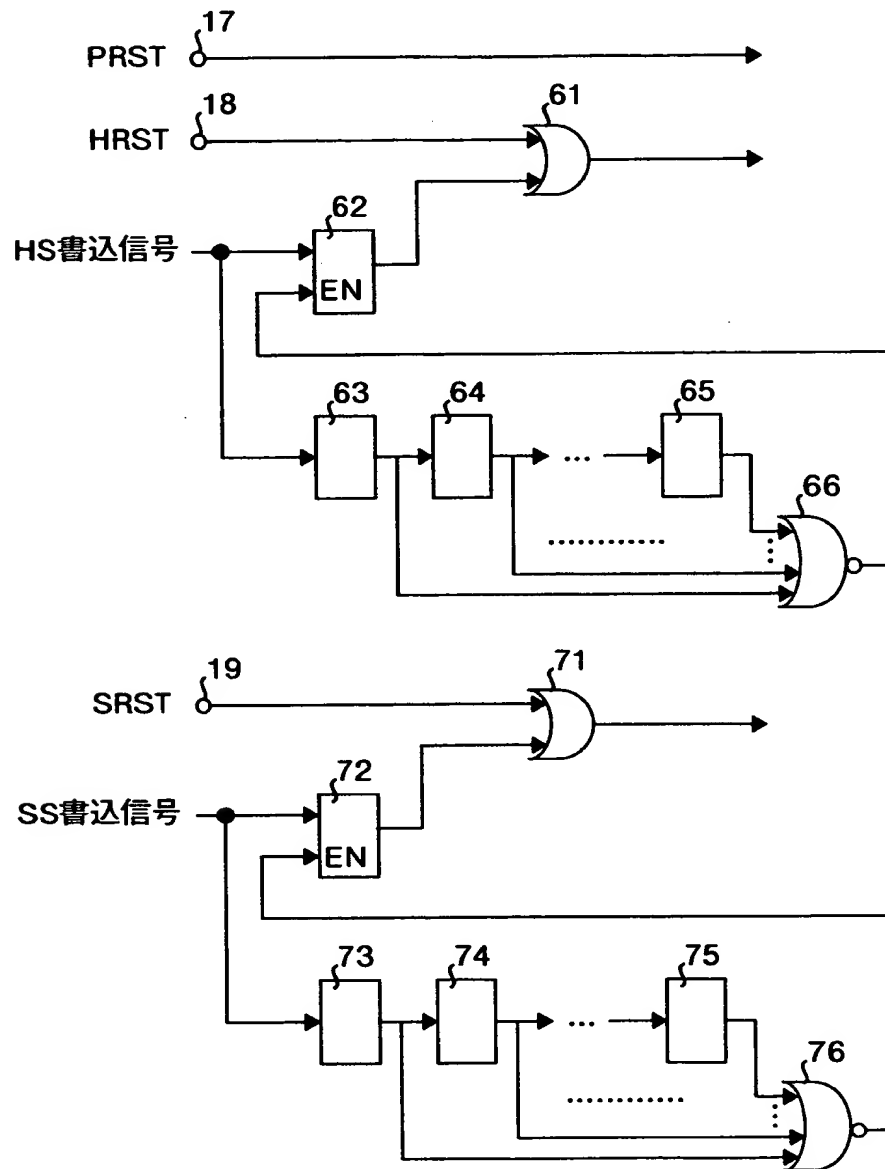
【図 3】

本発明の実施の形態にかかるプロセッサの
リセットレジスタの構成を示す概略図



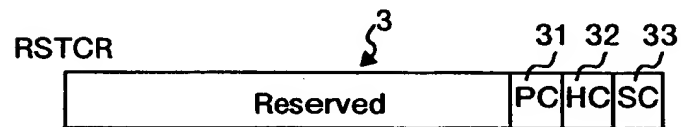
【図 4】

本発明の実施の形態にかかるプロセッサの初期化制御部の構成を示す回路図



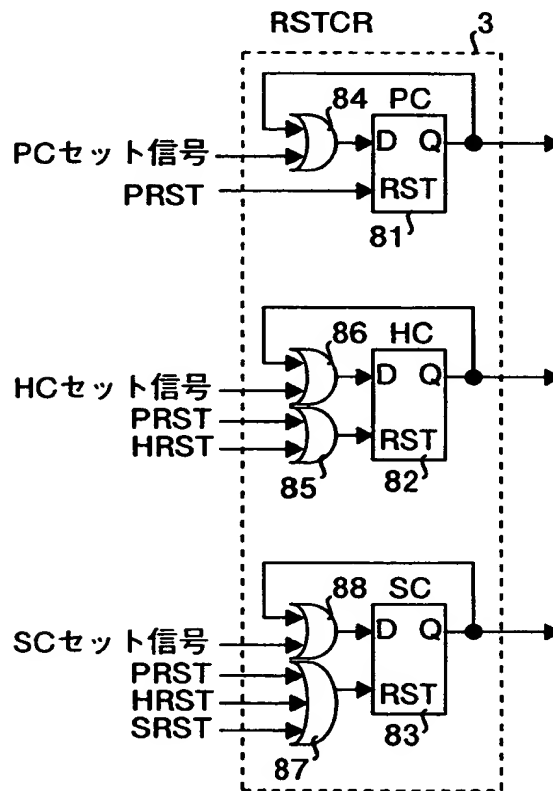
【図 5】

本発明の実施の形態にかかるプロセッサの設定完了表示
レジスタの構成を示す概略図



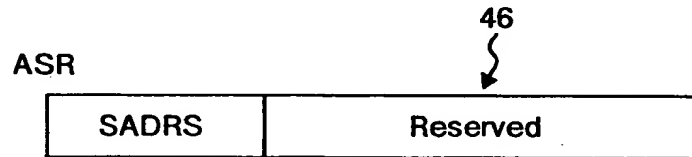
【図 6】

本発明の実施の形態にかかるプロセッサの設定完了表示レジスタの
要部の構成を示す回路図



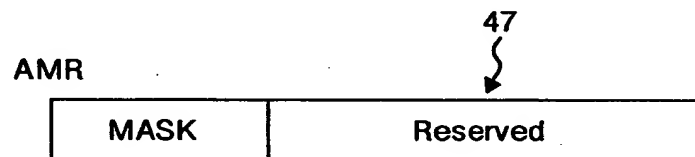
【図 7】

本発明の実施の形態にかかるプロセッサに対してローカルなメモリの
開始アドレスを設定するレジスタの構成を示す概略図



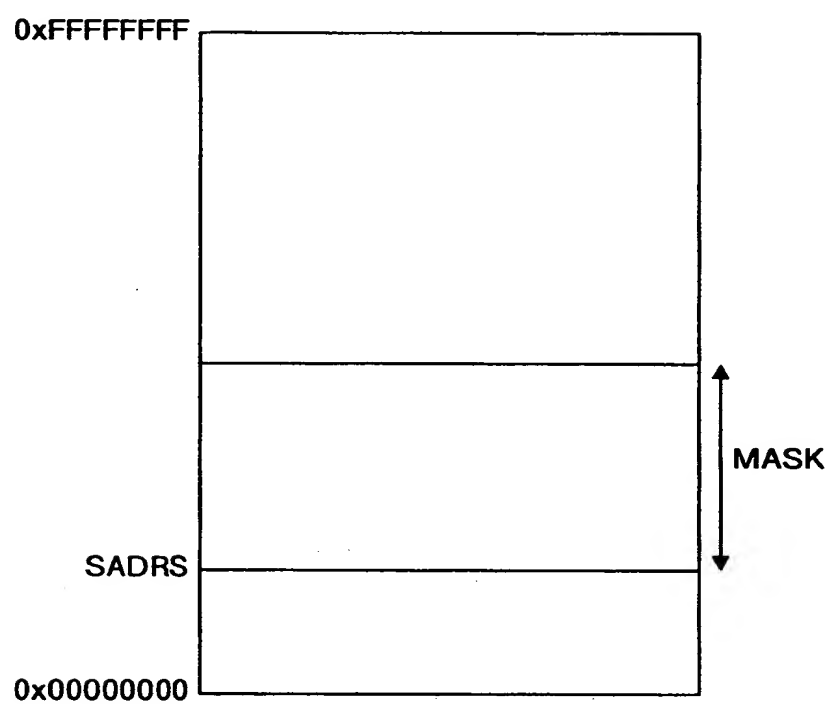
【図 8】

本発明の実施の形態にかかるプロセッサに対してローカルなメモリの
比較禁止ビットを設定するレジスタの構成を示す概略図



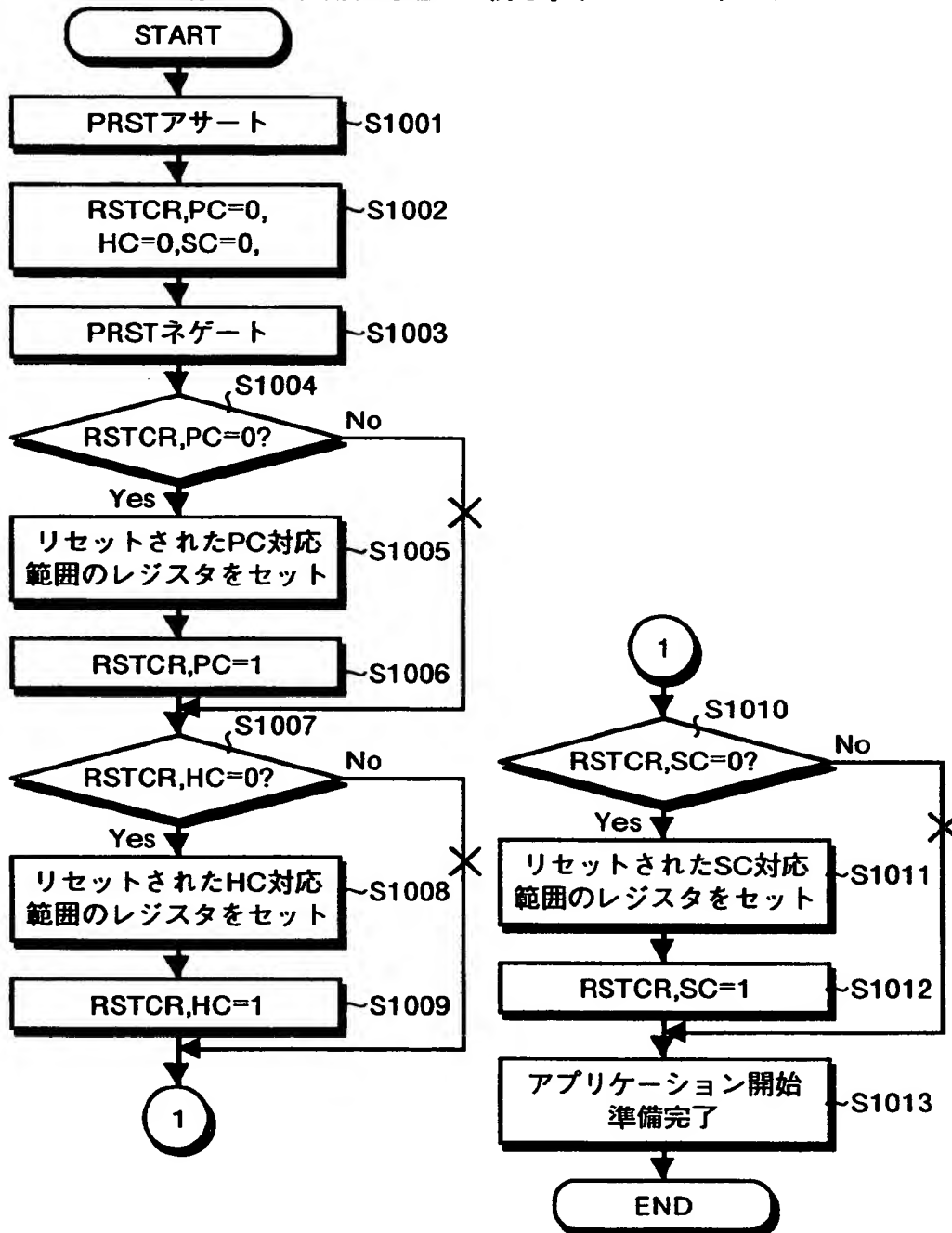
【図 9】

本発明の実施の形態にかかるプロセッサに対してローカルなメモリに
アサインされる番地について説明するためのメモリマップ図



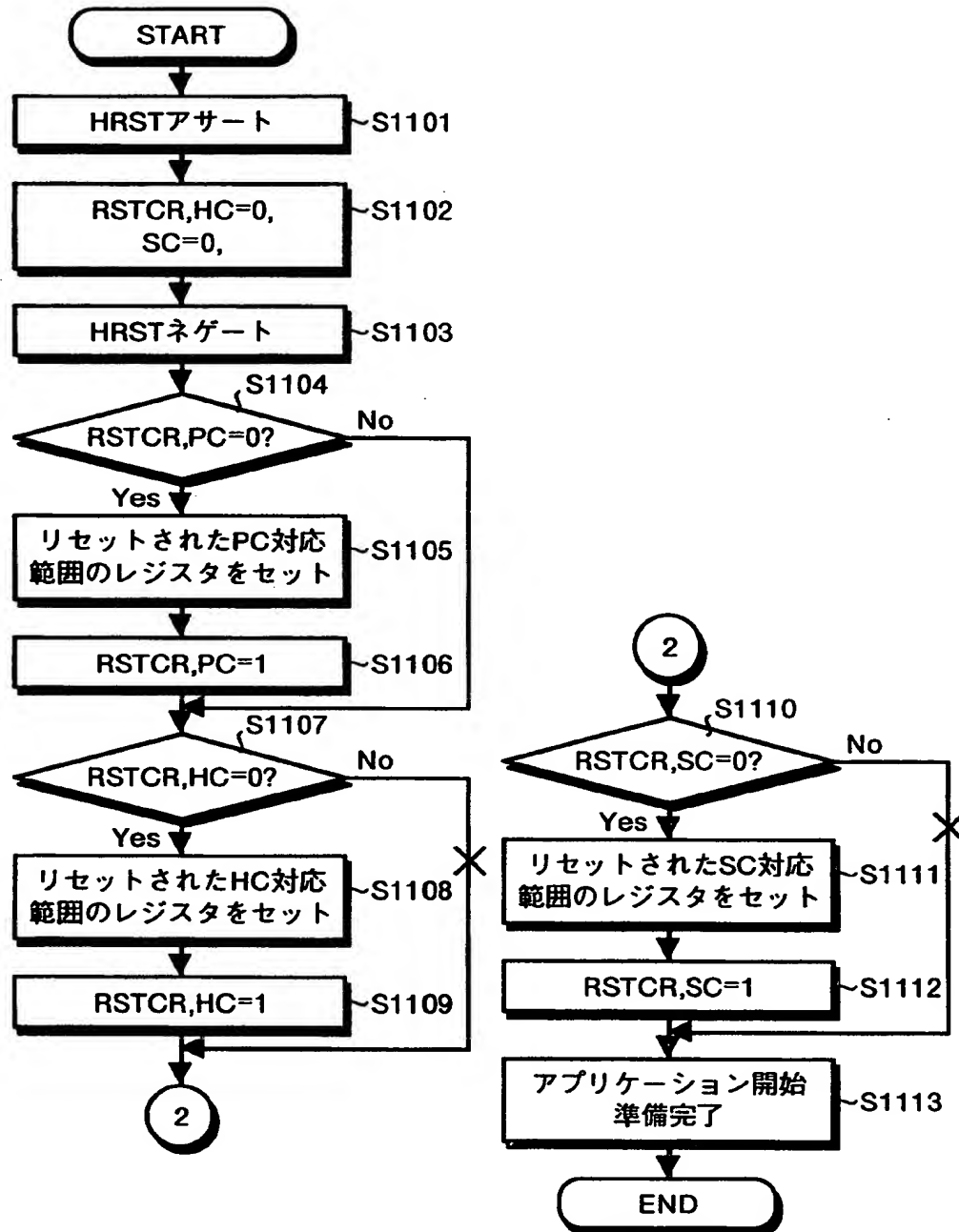
【図 1 0】

本発明の実施の形態にかかるプロセッサにおいてPRST信号によって
実行される初期化処理の一例を示すフローチャート



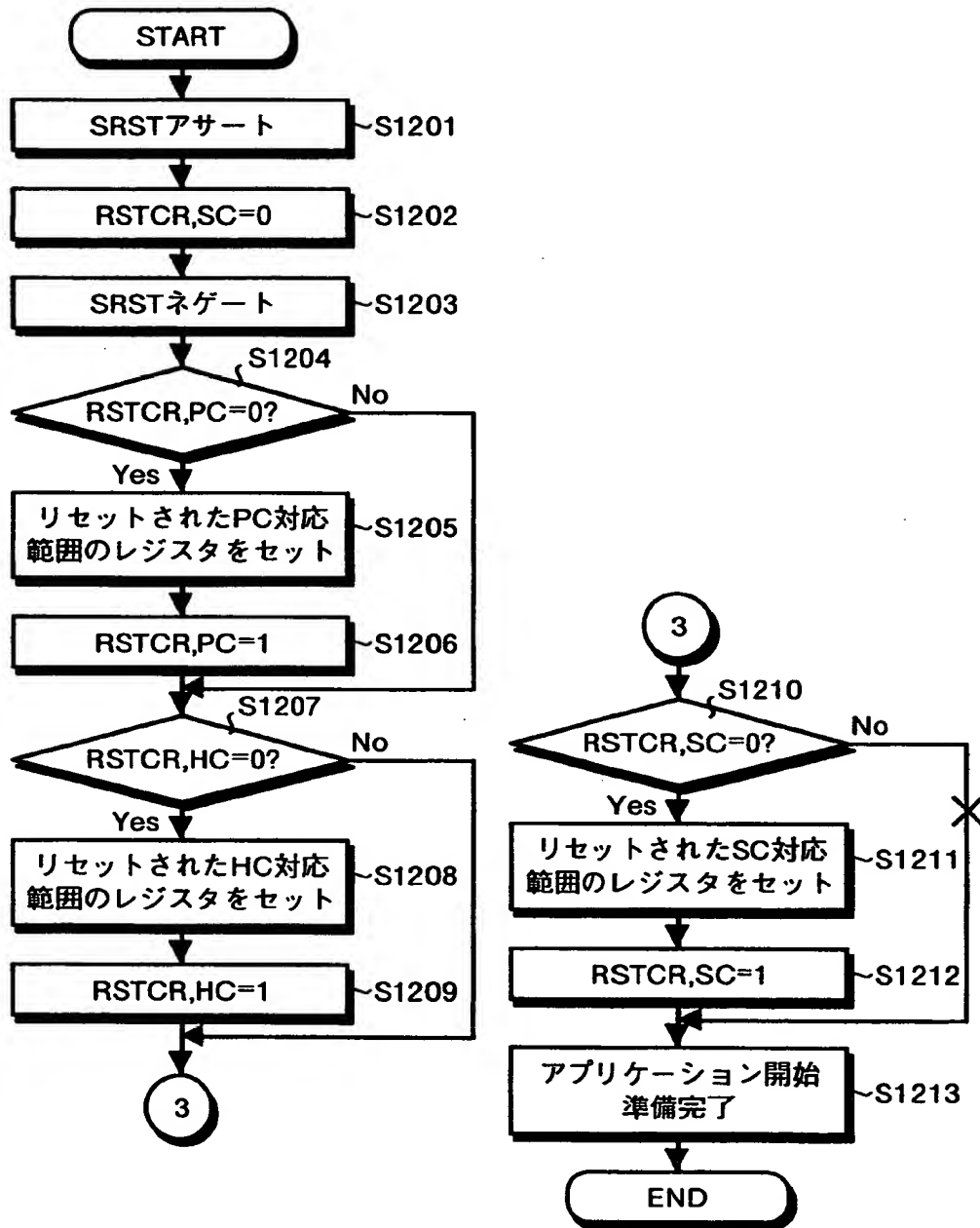
【図 1 1】

本発明の実施の形態にかかるプロセッサにおいてH R S T信号によって
実行される初期化処理の一例を示すフローチャート



【図 1 2】

本発明の実施の形態にかかるプロセッサにおいてSRST信号によって
実行される初期化処理の一例を示すフローチャート



【書類名】 要約書

【要約】

【課題】 停止状態からプロセッサを高速に再起動させること。

【解決手段】 P R S T 信号によって第 1 ～第 3 の初期設定領域に対して初期設定処理をおこない、H R S T 信号によって第 2 および第 3 の初期設定領域の初期設定処理をおこない、S R S T 信号によって第 3 の初期設定領域の初期設定処理をおこなう構成とし、第 2 のリセット信号が発生した場合には第 1 の初期設定領域の初期設定を省略し、第 3 のリセット信号が発生した場合には第 1、第 2 の初期設定領域の初期設定を省略する。初期設定処理の実行時に、P C ビット 3 1、H C ビット 3 2 および S C ビット 3 3 の各フラグの値を参照し、その値がリセットされているフラグに対応する初期設定領域に対して初期設定処理をおこなう。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社